

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007861

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2001-183506

(71)Applicant : SHARP CORP

(22)Date of filing : 18.06.2001

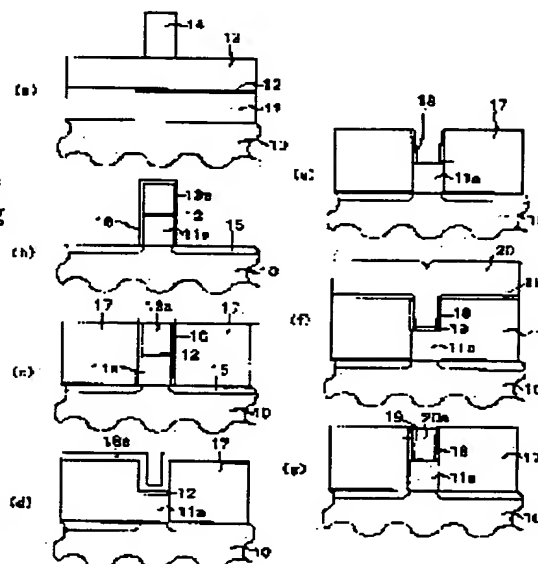
(72)Inventor : KATAYAMA HIROBUMI
UEDA TAKASHI

(54) NON-VOLATILE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile memory device which has a high dielectric film and can operate at a low voltage with a low leakage current and high reliability, and to provide a manufacturing method thereof.

SOLUTION: This manufacturing method of a non-volatile memory device sequentially comprises a step for forming a gate insulation film, a floating gate (FD) material film 11, a dummy insulation film 12 and a dummy gate(DG) material film 13 on a semiconductor substrate 10, a step for processing them to form DG13a and FG11a, a step for forming on the substrate 10 an buried insulation film 17 whose upper surface is at the almost same level with DG13a while burying DG13a and FG11a therein, a step for removing only DG13a and forming sidewall spacers 18 on the sidewalls of the buried insulation film 17 where DG13a are removed on the dummy insulation films 12, a step for removing the dummy insulation films 12, a step for forming a dielectric film 19 and a control gate(CG) material film 20 to form CG20a.



LEGAL STATUS

[Date of request for examination]

31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-7861

(P2003-7861A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)Int.Cl.⁷

識別記号

F I

テームコード(参考)

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1 5 F 0 8 3

27/115

27/10

4 3 4 5 F 1 0 1

29/788

29/792

審査請求 未請求 請求項の数7 O L (全7頁)

(21)出願番号 特願2001-183506(P2001-183506)

(22)出願日 平成13年6月18日(2001.6.18)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 片山 博文

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 上田 多加志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

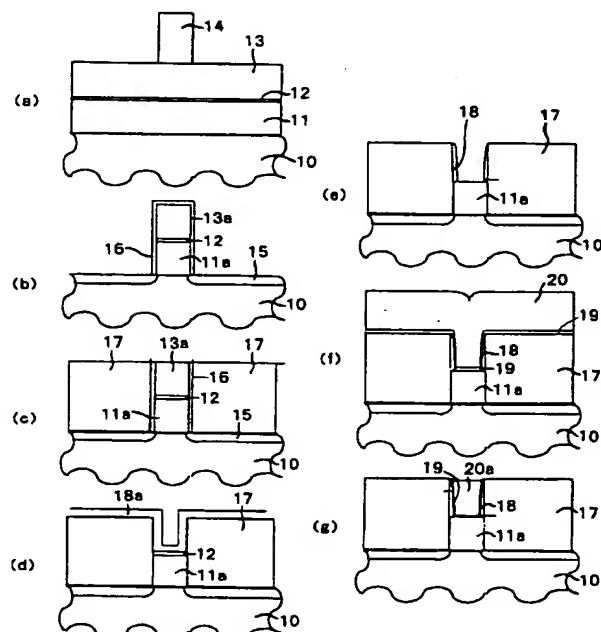
最終頁に続く

(54)【発明の名称】 不揮発性記憶装置及びその製造方法

(57)【要約】

【課題】高誘電体膜を備えた低電圧動作で、リーク電流が低い高信頼性の不揮発性記憶装置及びその製造方法を提供することを目的とする。

【解決手段】半導体基板10上に、ゲート絶縁膜、フローティングゲート(FD)材料膜11、ダミー絶縁膜12及びダミーゲート(DG)材料膜13を形成し、加工してDG13aとFG11aを形成し、基板10上に、DG13aとFG11aを埋め込み、かつDG13aの上面とほぼ面一の埋め込み絶縁膜17を形成し、DG13aのみを除去し、ダミー絶縁膜12上でDG13aが除去された埋め込み絶縁膜17の側壁にサイドウォールスペーサ18を形成し、ダミー絶縁膜12を除去し、基板10上に誘電体膜19及びコントロールゲート(CG)材料膜20を形成し、加工してCG20aを形成する不揮発性記憶装置の製造方法。



【特許請求の範囲】

【請求項1】 (a) 半導体基板上に、ゲート絶縁膜、フローティングゲート材料膜、ダミー絶縁膜及びダミーゲート材料膜を形成し、(b) 前記ダミーゲート材料膜、ダミー絶縁膜、フローティングゲート材料膜及び前記ゲート絶縁膜を加工してダミーゲート及びフローティングゲートを形成し、(c) 得られた半導体基板上に、ダミーゲート及びフローティングゲートを埋め込み、かつダミーゲートの上面とほぼ面一の上面を有する埋め込み絶縁膜を形成し、(d) ダミーゲートのみをほぼ完全に除去し、(e) 前記ダミー絶縁膜上であって、ダミーゲートが除去された埋め込み絶縁膜の側壁にサイドウォールスペーサを形成し、(f) 前記ダミー絶縁膜を除去し、(g) 得られた半導体基板上全面に、誘電体膜及びコントロールゲート材料膜を形成し、所望の形状に加工することによりコントロールゲートを形成することからなる不揮発性記憶装置の製造方法。

【請求項2】 工程(b)と工程(c)との間に、ソース／ドレイン領域を形成する請求項1に記載の方法。

【請求項3】 誘電体膜が、高誘電体膜、高誘電体膜／酸化膜又は酸化膜／高誘電体膜／酸化膜である請求項1または2に記載の方法。

【請求項4】 高誘電体膜が、 Al_2O_3 、 TiO_2 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 又は La_2O_5 である請求項3に記載の方法。

【請求項5】 半導体基板表面に形成されたチャネル領域、ソース／ドレイン領域と、前記チャネル領域上に形成されたフローティングゲートと、該フローティングゲート上に形成されたメタルコントロールゲートと、前記フローティングゲート上であって、前記メタルコントロールゲートの底面及び側面を被覆する誘電体膜とから構成される不揮発性記憶装置。

【請求項6】 誘電体膜が、高誘電体膜、高誘電体膜／酸化膜又は酸化膜／高誘電体膜／酸化膜である請求項5に記載の不揮発性記憶装置。

【請求項7】 高誘電体膜が、 Al_2O_3 、 TiO_2 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 又は La_2O_5 である請求項6に記載の不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性記憶装置及びその製造方法に関し、より詳細には高誘電体膜を用いたフラッシュメモリからなる不揮発性記憶装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 不揮発性メモリは、スイッチオフした後も、データ保持することができるメモリである。そのうち、フラッシュメモリは、通常、シリコンやII-V族半導体（例えばInPとGaAs等）等からなる基板上に、フローティングゲ

トが形成され、その上にコントロールゲートが積層され、これらフローティングゲートとコントロールゲートとに対して自己整合的に、n型チャネルデバイスの場合にはn型のソース／ドレイン領域が、p型チャネルデバイスの場合にはp型のソース／ドレイン領域が形成されている。また、両者のゲート間絶縁膜として酸化膜又はオキシナイトライドが用いられている。

【0003】このようなデバイスにおいては、近年、特にコントロールゲートの低電圧駆動が求められるようになり、そのため、フローティングゲートとコントロールゲートとの間の絶縁膜、基板とフローティングゲートとの間のトンネル酸化膜によって形成される容量比率（カップリング・レシオ）を高めることが必要とされている。

【0004】これに対して、例えば、特開平11-260938号公報には、フローティングゲートとコントロールゲートとの間の絶縁膜として高誘電体膜を用いることが記載されている。

【0005】しかし、高誘電体膜をコントロールゲートとフローティングゲートとの間の誘電体膜として使用した場合、半導体装置の製造プロセスにおける熱処理によって高誘電体膜に構造変化が生じ、膜質が変化し、高い誘電率を保持できなくなる。そのため、高誘電体膜を形成した後は、500℃程度以下でしか熱処理を行うことができないという制約が生じる。また、このような温度以上での熱処理が必要な場合には、高誘電体膜の形成までに、そのプロセスを終えておかなければならない。

【0006】そこで、製造プロセスに起因するMOSトランジスタにおけるゲート絶縁膜の劣化を防止するための置き換えゲート方式を用いたMOSトランジスタの製造方法（例えば、特開平11-74508号）を、フラッシュメモリの製造プロセス、特に高誘電体膜及びコントロールゲートの形成に応用することが考えられる。

【0007】つまり、置き換えゲート方式を用いたMOSトランジスタは、まず、図2(a)に示したように、半導体基板30上に、ダミーゲート絶縁膜31を介してポリシリコン膜によるダミーゲート電極32を形成する。

【0008】次いで、ダミーゲート電極32をマスクとして用いてイオン注入してLDD領域33を形成し、その後、得られた基板30上全面にCVD酸化膜を堆積し、エッチバックすることによりダミーゲート電極32の側壁にサイドウォールスペーサ34を形成する。ダミーゲート電極32とサイドウォールスペーサ34とをマスクとして用いてイオン注入し、ソース／ドレイン領域35を形成する（図2(b)）。

【0009】続いて、得られた基板30上全面にCVD酸化膜36を堆積し、その表面をダミーゲート電極32上面が露出するまでCMP法により研磨する（図2(c)）。次いで、ダミーゲート電極32及びダミーゲ

ート絶縁膜31を除去する(図2(d))。得られた基板30上全面に、酸化膜37、高誘電体膜38及び金属膜39を形成する(図2(e))。CVD酸化膜36の表面が露出するまで、金属膜39、高誘電体膜38及び酸化膜36をCMP法により研磨し、ゲート電極39aを形成する(図2(f))。

【0010】その後、層間絶縁膜、コンタクトホール、電極配線等を形成して、MOSトランジスタを完成させる。

【0011】しかし、この方法を応用して、図3に示したように、半導体基板40上にゲート絶縁膜41、フローティングゲート42、ダミー絶縁膜43、ダミーコントロールゲート44及びソース/ドレイン領域45を形成した後、得られた基板40上全面にCVD酸化膜46を形成し、ダミーコントロールゲート44の表面が露出するまでCVD酸化膜46を平坦化し、ダミーコントロールゲート44を150℃程度のリン酸溶液を用いて、ダミー絶縁膜43を、フッ化水素を用いて除去する場合には、フローティングゲート42のエッジ部Aに接するCVD酸化膜46までエッチングされて、溝が形成されることになる。これは、ダミー絶縁膜43を完全に除去するために、CVD酸化膜46がオーバーエッチングすることに起因する。

【0012】このため、その後に形成する高誘電体膜の周辺で、リーク電流が増大し、膜の耐圧が低下することになり、半導体装置の信頼性が確保されなりという問題を生じる。

【0013】本発明は上記課題に鑑みなされたものであり、高誘電体膜を備えることにより低電圧動作が可能であるとともに、耐圧が向上させ、リーク電流を低下させて高い信頼性を得ることができる不揮発性記憶装置及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によれば、(a)半導体基板上に、ゲート絶縁膜、フローティングゲート材料膜、ダミー絶縁膜及びダミーゲート材料膜を形成し、(b)前記ダミーゲート材料膜、ダミー絶縁膜、フローティングゲート材料膜及び前記ゲート絶縁膜を加工することによりダミーゲート及びフローティングゲートを形成し、(c)得られた半導体基板上に、ダミーゲート及びフローティングゲートを埋め込み、かつダミーゲートの上面とほぼ面一の上面を有する埋め込み絶縁膜を形成し、(d)ダミーゲートのみをほぼ完全に除去し、

(e)前記ダミー絶縁膜上であって、ダミーゲートが除去された埋め込み絶縁膜の側壁にサイドウォールスペーサを形成し、(f)前記ダミー絶縁膜を除去し、(g)得られた半導体基板上全面に、誘電体膜及びコントロールゲート材料膜を形成し、所望の形状に加工することによりコントロールゲートを形成することからなる不揮発性記憶装置の製造方法が提供される。

【0015】また、本発明によれば、半導体基板表面に形成されたチャネル領域、ソース/ドレイン領域と、前記チャネル領域上に形成されたフローティングゲートと、該フローティングゲート上に形成されたメタルコントロールゲートと、前記フローティングゲート上であって、前記メタルコントロールゲートの底面及び側面を被覆する誘電体膜とから構成される不揮発性記憶装置が提供される。

【0016】

【発明の実施の形態】本発明の不揮発性記憶装置においては、まず、工程(a)で、半導体基板上に、ゲート絶縁膜、フローティングゲート材料膜、ダミー絶縁膜及びダミーゲート材料膜を形成する。

【0017】半導体基板としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体が挙げられる。また、SOI基板又は多層SOI基板等の種々の基板を用いてもよい。さらに、エピタキシャル半導体層を表面に成長させたいいわゆるエピタキシャル基板でもよい。なかでもシリコン基板が好ましい。この半導体基板上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、層間絶縁膜、これらによる回路、半導体装置等が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。

【0018】ゲート絶縁膜は、通常トランジスタのゲート絶縁膜として機能し得る絶縁膜、例えば、シリコン酸化膜(CVD-SiO₂膜、熱-SiO₂膜)又はシリコン窒化膜等の絶縁膜、Ta₂O₅等の高誘電体膜又はこれらの積層膜等を用いることができる。膜厚は、特に限定されるものではなく、例えば、絶縁膜は5~20nm程度、高誘電体膜は5~50nm程度が挙げられる。ゲート絶縁膜は、熱酸化法、CVD法、スパッタ法、蒸着法、陽極酸化法等又はこれらの組み合わせにより形成することができる。

【0019】フローティングゲート材料膜は、通常電極又は配線として機能し得る導電膜、例えば、不純物がドーピングされたポリシリコン、アモルファスシリコン等の半導体；アルミニウム、ニッケル、金、銀、銅等の金属又は合金；タンタル、タングステン等の高融点金属又は合金；高融点金属のシリサイド又はポリサイド等の単層膜又は積層膜等が挙げられる。これらは、蒸着法、スパッタ法、CVD法、EB法等の種々の方法で形成することができる。フローティングゲート材料膜の膜厚は特に限定されるものではなく、例えば、50~500nm程度が挙げられる。

【0020】なお、この工程においては、ゲート絶縁膜及びフローティングゲート材料膜を形成した後、ゲート絶縁膜及び/又はフローティングゲート材料膜を、所望

の形状に予備的に加工しておき、その後、ダミー絶縁膜及びダミーゲート材料膜を形成することが好ましい。ここでの予備的な加工とは、フローティングゲート材料膜の、フローティングゲートとして機能しうる最終的な形状には至らない程度の加工を意味し、例えば、行方向又は列方向の一方方向のみの加工が挙げられる。

【0021】ダミー絶縁膜及びダミーゲート材料膜は、後工程で誘電体膜及びコントロールゲートを形成する領域に予備的に形成する膜を意味し、それらの膜厚等は、得ようとするコントロールゲートの機能、このコントロールゲートから構成される不揮発性記憶装置の特性及び機能等により適宜調整することができる。例えば、ダミー絶縁膜の膜厚としては、1～50nm程度が挙げられ、ダミーゲート材料膜の膜厚としては、5～500nm程度が挙げられる。これらの膜は、誘電体膜及びコントロールゲートを形成する前に、除去される膜であるため、除去する条件等に応じてその材料を適宜選択することができる。例えば、ポリシリコン、アモルファスシリコン等の半導体；アルミニウム、ニッケル等の金属又は合金；タンタル、タングステン等の高融点金属；シリコン酸化膜（熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜、TEOS分解によるプラズマ酸化膜）、シリコン窒化膜（プラズマ放電又は高温熱処理によるLPCVDシリコン窒化膜）、SOG膜、PSG膜、BSG膜、BPSG膜等の絶縁膜の単層膜又は積層膜等が挙げられる。なかでも、ダミー絶縁膜は、ダミーゲート材料膜を除去する際のエッチングストッパーとして機能する膜となる材料により形成することが好ましく、具体的には、ダミー絶縁膜は、シリコン酸化膜が好ましく、ダミーゲート材料膜は、シリコン窒化膜がより好ましい。これらの膜は、熱酸化法、CVD法（低温、高温、プラズマ、低圧、常圧、高圧等）、スパッタ法、蒸着法、陽極酸化法等又はこれらの組み合わせにより形成することができる。

【0022】工程（b）において、ダミーゲート材料膜、ダミー絶縁膜、フローティングゲート材料膜及びゲート絶縁膜を加工する。

【0023】これらの加工は、公知の方法、例えばフォトリソグラフィ及びエッチング工程により、所望の形状のマスクパターンを用いて、一括して行うことができる。なお、工程（a）において、ゲート絶縁膜及び／又はフローティングゲート材料膜を予備的に加工した場合には、この工程での加工により、フローティングゲートとして機能しうる最終的な形状に加工することができる。また、この加工により、ダミーゲート材料膜を、コントロールゲートの形状を決定するダミーゲートに加工することができる。

【0024】工程（b）の後、工程（c）の前には、ダミーゲートをマスクとして用いてイオン注入を行い、ソース／ドレイン領域を形成することが好ましい。この際

のイオン種、イオン注入の条件等は、得ようとする不揮発性記憶装置の特性等により適宜設定することができる。また、ダミーゲートをマスクとしてイオン注入をした後、フローティングゲート材料膜及びダミーゲートの側壁にサイドウォールスペーサを形成し、これらをマスクとして用いてイオン注入することにより、LDD構造又はDDD構造のソース／ドレイン領域を形成してもよい。さらに、イオン注入の後には、不純物を活性化するための熱処理を行うことが好ましい。この場合の熱処理の条件は、用いるイオン種、不揮発性装置の特性等により、適宜設定することができる。例えば、大気中、酸素雰囲気又は窒素雰囲気下、600～900℃程度の温度範囲で、1秒間～5分間程度、炉アニール、ランプアニール、RTA（Rapid Thermal Anneal）法等が挙げられる。

【0025】また、サイドウォールスペーサを形成するかわりに、加工したダミーゲート材料膜、ダミー絶縁膜、フローティングゲート材料膜及びゲート絶縁膜を熱酸化し、それらの表面に熱酸化膜を形成してもよい。この場合の熱酸化膜の膜厚は、特に限定されず、例えば、5～30nm程度が挙げられる。

【0026】工程（c）において、得られた半導体基板上に、ダミーゲート及びフローティングゲートを埋め込み、かつダミーゲートの上面とほぼ面一の上面を有する埋め込み絶縁膜を形成する。埋め込み絶縁膜の材料は、特に限定されないが、特に、ダミーゲートを除去する場合に、ダミーゲートの除去方法で、ダミーゲートよりも除去されにくい材料であることが好ましくダミーゲートの材料により、例えば、ダミーゲート材料膜で例示された絶縁膜の中から適宜選択することができる。

【0027】まず、埋め込み絶縁膜を構成する絶縁膜を、例えば、フローティングゲート材料膜と、ダミーゲート絶縁膜と、ダミーゲートとの合計膜厚よりも厚い膜厚、例えば、1000～3000nm程度の膜厚で、これらを含む半導体基板上に形成し、ダミーゲートの表面が露出するため後退させる。ここでの後退は、酸又はアルカリの溶液を用いたウェットエッチング、ドライエッチング又はCMP法等、種々の方法により行うことができる。なかでも、CMP法が好ましい。

【0028】工程（d）において、ダミーゲートのみをほぼ完全に除去する。ダミーゲートの除去は、その材料により、適宜選択することができ、例えば、ふっ酸、熱リン酸、硝酸、硫酸等を用いたウェットエッチング、スパッタリング法、反応性イオンエッチング法、プラズマエッチング法等のドライエッチング法等種々の方法が挙げられる。具体的には、シリコン窒化膜により形成されている場合には、シリコン窒化膜を溶解しえる溶液を用いたウェットエッチングが好ましい。なお、ここでの除去は、ダミーゲート絶縁膜をエッチングストッパーとして用いて、ダミーゲートのみがほぼ完全に除去するまで

行うことが好ましい。

【0029】工程(e)において、ダミー絶縁膜上であって、ダミーゲートが除去された埋め込み絶縁膜の側壁にサイドウォールスペーサを形成する。サイドウォールスペーサは、例えば、ダミーゲート材料膜で例示された絶縁膜の中から適宜選択することができる。なかでも、ダミー絶縁膜を構成する膜とは異なる膜、特に、後工程でダミー絶縁膜を除去する際に、ダミー絶縁膜との選択比が異なる材料を用いることが好ましい。

【0030】サイドウォールスペーサは、公知の方法、例えば、絶縁膜を、ダミーゲートが除去された凹部を含む半導体基板上全面に形成し、RIE等の異方性エッチングによってエッチバックして形成することができる。

【0031】なお、サイドウォールスペーサの膜厚は、工程(f)におけるダミー絶縁膜の除去の際に、サイドウォールスペーサの一部の除去される膜厚等を考慮して決定することが好ましい。

【0032】工程(f)において、ダミー絶縁膜を完全に除去する。ダミー絶縁膜の除去は、その材料により、適宜選択することができるが、例えば、シリコン酸化膜により形成されている場合には、シリコン酸化膜を溶解しえる溶液を用いたウェットエッチングが好ましい。ここでのダミー絶縁膜の除去は、ダミー絶縁膜の端部、すなわち埋め込み絶縁膜近傍は、サイドウォールスペーサに被覆されているために除去されず、凹部内で露出している部分のみがほぼ完全に除去される程度に行う。

【0033】工程(g)において、得られた半導体基板上全面に、誘電体膜及びコントロールゲート材料膜を形成する。誘電体膜としては、シリコン窒化膜； Al_2O_3 、 TiO_2 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 、 La_2O_5 等の高誘電体膜；PZT、PLZT、強誘電体膜又は反強誘電体膜等の誘電体膜等の単層膜又は積層膜等が挙げられる。また、これらの誘電体膜と絶縁膜、例えば、シリコン酸化膜(熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜)の積層膜が挙げられる。なかでも、高誘電体膜の単層又は積層膜、高誘電体膜/酸化膜又は酸化膜/高誘電体膜/酸化膜が好ましい。なお、高誘電体膜/酸化膜の場合には、酸化膜は、高誘電体膜の一部の下層のみに配置されていても良いし、不均一な膜厚で形成されていてもよい。誘電体膜の膜厚は、例えば、5～50nm程度が挙げられる。

【0034】コントロールゲート材料膜は、フローティングゲート材料膜で例示された導電膜の中から選択することができる。なかでも、金属又は高誘電体金属、これらの合金の単層膜、積層膜が好ましい。コントロールゲート材料膜の膜厚は、特に限定されるものではなく、先の工程で得られた凹部を完全に埋め込むことができる膜厚、例えば、100～600nm程度が挙げられる。

【0035】これらの膜は、蒸着法、スパッタ法、CVD法、EB法等の種々の方法で形成することができる。

なお、誘電体膜を形成した後、コントロールゲート材料膜を形成する前に、誘電体膜を熱処理することが好ましい。熱処理の条件は上記と同様であってもよいが、中でも、酸素雰囲気下、500～700℃程度の温度範囲で行うことが好ましい。

【0036】これらの膜を形成した後、所望の形状に加工して、コントロールゲートを形成する。加工は、これらの膜を、埋め込み絶縁膜の表面が露出するまで、ウェットエッチング、ドライエッチング又はCMP法等、種々の方法により平坦化する方法が挙げられる。なかでも、CMP法が好ましい。

【0037】なお、本発明の半導体記憶装置の製造方法においては、所望の工程前、中、後に、半導体装置を形成するための公知の方法により、任意に、閾値調整のためのイオン注入、熱処理、サリサイド工程、絶縁膜の形成、絶縁膜の緻密化、コンタクトホール形成及び/又は配線層の形成等を行うことが好ましい。

【0038】このような工程により、半導体基板表面に形成されたチャネル領域、ソース/ドレイン領域と、チャネル領域上に形成されたフローティングゲートと、フローティングゲート上に形成されたメタルコントロールゲートと、フローティングゲート上であって、メタルコントロールゲートの底面及び側面を被覆する誘電体膜とから構成される不揮発性記憶装置を得ることができる。

【0039】以下に、本発明の半導体装置及びその製造方法の実施の形態を、図面を参照して詳細に説明する。

【0040】まず、前処理により清浄化を行ったシリコン基板10上に、図1(a)に示したように、膜厚5～10nm程度のトンネル酸化膜(図示せず)、膜厚50～100nm程度のポリシリコン膜11を形成する。このポリシリコン膜11が後にフローティングゲートを構成した場合に、フローティングゲートに十分電荷が保持されるように、ポリシリコン膜11に、例えば、砒素又は BF_2 をイオン注入する。次いで、ポリシリコン膜11を矩形形状にパターンニングし、得られたシリコン基板10上全面に、シリコン酸化膜12及びプラズマ放電又は高温熱処理によるLPCVDシリコン窒化膜13を形成する。シリコン酸化膜12は、その上に形成されたダミーゲートとなるシリコン窒化膜13をエッチングする際のエッチングストップとしての役割を果たす。

【0041】その後、フォトリソグラフィ工程により、ポリシリコン膜11に直交する矩形形状のレジストマスク14を形成し、このレジストマスク14を用いて、ドライエッチングによりシリコン窒化膜13、シリコン酸化膜12及びポリシリコン膜11を順次パターンニングし、ダミーゲート13a及びフローティングゲート11aを形成する。

【0042】レジストマスク14を除去した後、図1(b)に示したように、ダミーゲート13a、シリコン酸化膜12及びフローティングゲート11aをマスクと

して用いて、例えば、リン又は砒素をイオン注入し、熱処理を行い、ソース／ドレイン領域15を形成する。その後、フローティングゲート11aからの電荷漏洩防止のために熱酸化を行い、フローティングゲート11aの側面を酸化し、膜厚10nm程度の酸化膜16を形成する。この際、ダミーゲート13aはほとんど酸化されない。

【0043】続いて、図1(c)に示したように、得られたシリコン基板10上全面に、埋め込み酸化膜17として、膜厚1500nm程度で、カバレッジ良好なオゾンによるTEOS分解によるプラズマ酸化膜を形成し、この埋め込み酸化膜17の表面を、CMP法により平坦化し、ダミーゲート13a表面を露出させる。

【0044】次いで、150℃の熱リン酸に、シリコン基板10を浸漬することにより、ダミーゲート13aを除去する。その後、図1(d)に示すように、低圧CVD法により、膜厚20nm程度の酸化膜18aを形成する。

【0045】図1(e)に示したように、この酸化膜18aをRIE法によりエッチングし、酸化膜12上であって、埋め込み酸化膜17の側壁にサイドウォールスペーサ18を形成する。その後、フッ化水素にシリコン基板10を浸漬し、酸化膜12をフローティングゲート11a上から完全に除去する。この際、サイドウォールスペーサ18が存在するため、従来問題となっていたフローティングゲート横の埋め込み酸化膜に溝が形成されることはない。

【0046】次いで、図1(f)に示したように、得られたシリコン基板10上全面に高誘電体膜として、膜厚30nm程度の Al_2O_3 膜19を、CVD法により形成し、500～700℃程度の温度範囲で、酸素アニールを行う。さらに Al_2O_3 膜19上に、コントロールゲートとなるTiN膜20を、膜厚100nm程度でスパッタ法により形成する。

【0047】その後、図1(g)に示したように、CMP法により、TiN膜20及び Al_2O_3 膜19を、埋め込み酸化膜17の表面が露出するまで平坦化することにより、コントロールゲート20aを形成する。

【0048】続いて、得られたシリコン基板10上に層間絶縁膜を堆積し、ソース／ドレイン領域のコンタクトホールを開口し、電極配線を形成することにより、フラッシュメモリを完成させる。

【0049】これにより、高誘電体膜をフローティングゲートとコントロールゲートとの間の誘電体膜として用い、さらには、置き換え方式によるメタルゲート電極をコントロールゲートとした低消費電力駆動のフラッシュメモリを形成することができる。

【0050】

【発明の効果】本発明によれば、フラッシュメモリ技術において、フローティングゲートとコントロールゲートとの間の絶縁膜を誘電体膜にし、置き換え方式でメタルゲートによるコントロールゲートを形成する際に、フローティングゲートと誘電体膜との界面の近傍の絶縁膜にできる溝を防止することにより、容量のカップリング比を大きくするでき、例えば、5V程度以下での低電力駆動の不揮発性記憶装置を、簡便な方法により製造することが可能となる。しかも、誘電体膜の耐圧を向上させることができ、リーク電流の低い、信頼性が高い不揮発性記憶装置を製造することができる。

【図面の簡単な説明】

【図1】本発明における不揮発性記憶装置の製造方法の実施形態を示す要部の概略工程断面図である。

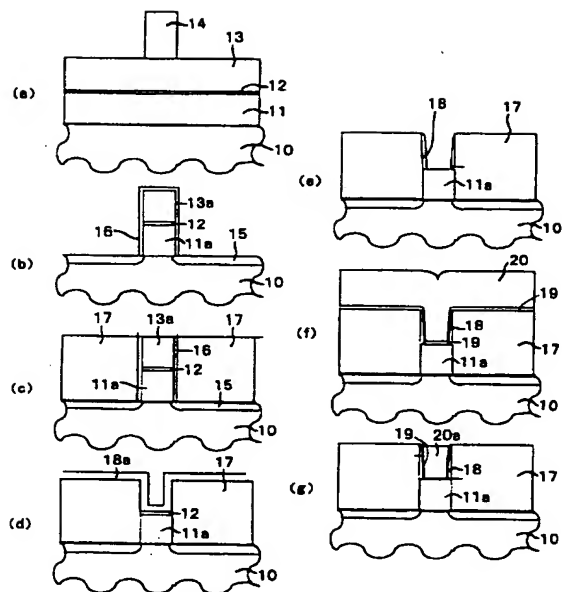
【図2】従来のMOSトランジスタの製造方法を説明するための概略工程断面図である。

【図3】従来のMOSトランジスタの製造方法を応用して不揮発性記憶装置を製造する場合の問題点を説明するための要部の概略断面図である。

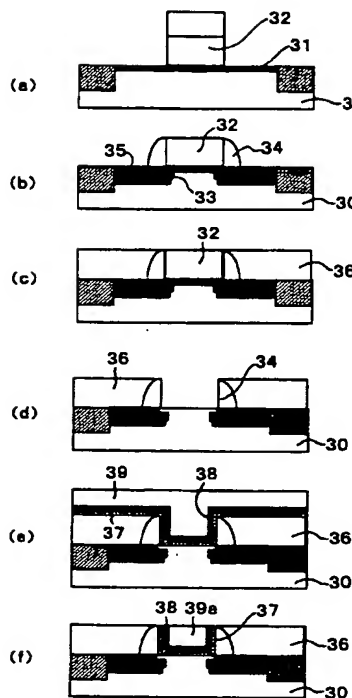
【符号の説明】

- 10 シリコン基板（半導体基板）
- 11 ポリシリコン膜（フローティングゲート材料膜）
- 11a フローティングゲート
- 12 シリコン酸化膜（ダミー絶縁膜）
- 13 シリコン窒化膜（ダミーゲート材料膜）
- 13a ダミーゲート
- 14 レジストマスク
- 15 ソース／ドレイン領域
- 16 酸化膜
- 17 埋め込み酸化膜
- 18 サイドウォールスペーサ
- 18a 酸化膜
- 19 Al_2O_3 膜（誘電体膜）
- 20 TiN膜（コントロールゲート材料膜）
- 20a コントロールゲート

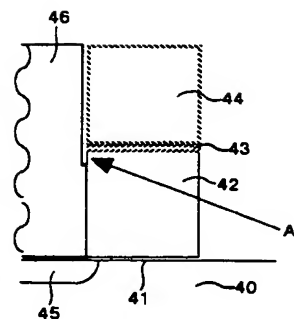
【図1】



【図2】



【図3】



フロントページの続き

F ターム(参考) 5F083 EP02 EP23 EP56 ER22 GA05
 GA06 HA02 HA06 JA02 JA06
 JA15 JA19 JA36 JA37 JA38
 JA39 JA40 PR05 PR06 PR07
 PR10 PR33 PR34 PR40 ZA28
 5F101 BA01 BA26 BA29 BA36 BB05
 BD02 BE07 BH01 BH02 BH05
 BH14 BH15 BH16